

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihiro YAMAGUCHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PRESSED-CONTACT TYPE SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-075548	March 19, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 3月19日

出 願 番 号  
Application Number:

特願2003-075548

[ ST.10/C ]:

[ JP 2003-075548 ]

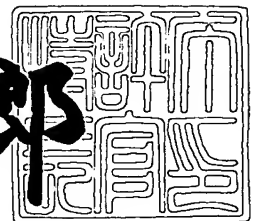
出 願 人  
Applicant(s):

三菱電機株式会社

2003年 4月15日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3026953

【書類名】 特許願

【整理番号】 543550JP01

【提出日】 平成15年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/74  
H01L 21/02

【発明者】

    【住所又は居所】 福岡県福岡市西区今宿東一丁目1番1号 福菱セミコン  
                        エンジニアリング株式会社内

    【氏名】 山口 義弘

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
                        社内

    【氏名】 大田 賢児

【特許出願人】

    【識別番号】 000006013

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 圧接型半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、

半導体基板の第 1 面において、第 2 導電型不純物の拡散によって形成された第一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって形成された第二拡散層と、

半導体基板の第 2 面に設けられ、第二拡散層と接触する第 2 電極とを備え、

第一拡散層の深さ  $D_1$  と第二拡散層の深さ  $D_2$  とが、 $D_1 > D_2$  の関係をなすことを特徴とする圧接型半導体装置。

【請求項 2】 第 1 導電型の半導体基板と、

半導体基板の第 1 面において、第 2 導電型不純物の拡散によって形成された第一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出するように局所的に形成された第二拡散層と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出しないように局所的に形成された第三拡散層と、

半導体基板の第 2 面に設けられ、第三拡散層と接触する第 2 電極とを備え、

第二拡散層の深さ  $D_2$  と第三拡散層の深さ  $D_3$  とが、 $D_2 > D_3$  の関係をなすことを特徴とする圧接型半導体装置。

【請求項 3】 第 1 導電型の半導体基板と、

半導体基板の第 1 面において、第 2 導電型不純物の拡散によって形成された第一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出するように局所的に形成された第二拡散層と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出しないように局所的に形成された第三拡散層と、

半導体基板の第 2 面に設けられ、第三拡散層と接触する第 2 電極とを備え、

第一拡散層の深さ  $D_1$ 、第二拡散層の深さ  $D_2$ 、第三拡散層の深さ  $D_3$  として、 $D_1 > D_2 > D_3$  の関係をなすことを特徴とする圧接型半導体装置。

【請求項 4】 第二拡散層のキャリア濃度と第三拡散層のキャリア濃度とが異なることを特徴とする請求項 2 または 3 記載の圧接型半導体装置。

【請求項 5】 第 1 導電型の半導体基板と、

半導体基板の第 1 面において、第 2 導電型不純物の拡散によって形成された第一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出するように局所的に形成された第二拡散層と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出しないように局所的に形成された第三拡散層と、

半導体基板の第 2 面に設けられ、第三拡散層と接触する第 2 電極とを備え、

半導体基板の内部において、半導体基板より短いライフタイムを有する複数の

ライフタイム制御領域が基板面と略平行に形成されており、

第二拡散層および第三拡散層に最も近接した第一ライフタイム制御領域は、第二拡散層および第三拡散層に 2 番目に近接した第二ライフタイム制御領域よりも短いライフタイムを有することを特徴とする圧接型半導体装置。

【請求項 6】 第二拡散層および第三拡散層に最も近接した第一ライフタイム制御領域は、各ライフタイム制御領域のうちで最も短いライフタイムを有することを特徴とする請求項 5 記載の圧接型半導体装置。

【請求項 7】 半導体基板の内部において、半導体基板より短いライフタイムを有する 3 つのライフタイム制御領域が形成されており、

第二拡散層および第三拡散層に最も近接した第一ライフタイム制御領域のライフタイム  $\tau_1$ 、2 番目に近接した第二ライフタイム制御領域のライフタイム  $\tau_2$ 、3 番目に近接した第三ライフタイム制御領域のライフタイム  $\tau_3$  として、 $\tau_1 < \tau_2 < \tau_3$  の関係をなすことを特徴とする請求項 6 記載の圧接型半導体装置。

【請求項 8】 第 1 導電型の半導体基板と、

半導体基板の第 1 面において、第 2 導電型不純物の拡散によって形成された第一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出するように局所的に形成された第二拡散層と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出しないように局所的に形成された第三拡散層と、

半導体基板の第 2 面に設けられ、第三拡散層と接触する第 2 電極とを備え、

半導体基板より短いライフタイムを有するライフタイム制御領域が、基板側面に沿った外周部に形成されており、

ライフタイム制御領域の内部界面は、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分より内側に配置されることを特徴とする圧接型

半導体装置。

【請求項 9】 基板側面に沿ってベベル面が形成されており、

第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分は、ベベル面の最内径部分より内側に配置されることを特徴とする請求項 8 記載の圧接型半導体装置。

【請求項 10】 第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分は、第 2 電極の最外径部分より外側に配置されることを特徴とする請求項 8 または 9 記載の圧接型半導体装置。

【請求項 11】 基板側面に沿ってベベル面が形成されており、

ベベル面の最内径  $F_b$ 、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分の直径  $E_b$ 、第 2 電極の最外径  $E_a$ 、ライフタイム制御領域の内部界面の最内径  $F_a$  として、 $F_b > E_b > E_a > F_a$  の関係をなすことを特徴とする請求項 8 記載の圧接型半導体装置。

【請求項 12】 第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分の直径  $E_b$ 、第 2 電極の最外径  $E_a$ 、第二拡散層の深さ  $D_2$  として、 $E_b - E_a > 2 \times D_2$  の関係をなすことを特徴とする請求項 8 記載の圧接型半導体装置。

【請求項 13】 第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分の直径  $E_b$ 、第四拡散層の最外径  $E_c$ 、第一拡散層の内部界面から第三拡散層の内部界面までの距離  $D_5$  として、 $E_c < E_b - D_5$  の関係をなすことを特徴とする請求項 8 記載の圧接型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、産業、電力制御システムなどの回路の応用に必要な逆阻止能力を有する、例えばサイリスタ、GTO (Gate Turn-off) サイリスタ、GCT (Gate Commutated Turn-off) サイリスタ等の圧接型半導体装置に関する。

【0002】

【従来の技術】



従来の圧接型半導体装置は、 $N^-$ 型の半導体基板の表面にP型不純物を拡散することによって $P^{++}$ 型半導体層が形成され、半導体基板の裏面にP型不純物を拡散することによってP型半導体層が形成され、さらに半導体基板の表面にN型不純物を拡散することによって $P^{++}$ 型半導体層より浅いN型半導体層が形成されており、全体としてPNPN接合構造を有し、サイリスタ動作が可能になる。

【0003】

関連する先行技術として、下記の文献が挙げられる。

【0004】

【特許文献1】

特開平8-264754号公報（第4頁）

【特許文献2】

特開平9-260640号公報（第5頁）

【特許文献3】

特開平3-120724号公報（第2頁）

【特許文献4】

特開平8-116047号公報（第3頁）

【0005】

【発明が解決しようとする課題】

サイリスタが発展した逆阻止型GCTサイリスタにおいて、素子の動作周波数が高くなるとともに、全体の発生損失においてスイッチング損失が占める割合が大きくなる。そのため、ターンオフ損失と逆回復損失を最適化することが要望されている。

【0006】

本発明の目的は、サイリスタの逆阻止耐圧特性や逆回復特性を格段に改善できる圧接型半導体装置を提供することである。

【0007】

【課題を解決するための手段】

本発明に係る圧接型半導体装置は、第1導電型の半導体基板と、半導体基板の第1面において、第2導電型不純物の拡散によって形成された第

一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって形成された第二拡散層と、

半導体基板の第 2 面に設けられ、第二拡散層と接触する第 2 電極とを備え、

第一拡散層の深さ  $D_1$  と第二拡散層の深さ  $D_2$  とが、 $D_1 > D_2$  の関係をなすことを特徴とする。

【0008】

また本発明に係る圧接型半導体装置は、第 1 導電型の半導体基板と、

半導体基板の第 1 面において、第 2 導電型不純物の拡散によって形成された第一拡散層と、

半導体基板の第 1 面において、第 1 導電型不純物の拡散によって第一拡散層より浅く形成された第四拡散層と、

半導体基板の第 1 面に設けられ、第一拡散層と接触するゲート電極と、

半導体基板の第 1 面に設けられ、第四拡散層と接触する第 1 電極と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出するように局所的に形成された第二拡散層と、

半導体基板の第 2 面において、第 2 導電型不純物の拡散によって基板側面に露出しないように局所的に形成された第三拡散層と、

半導体基板の第 2 面に設けられ、第三拡散層と接触する第 2 電極とを備え、

第二拡散層の深さ  $D_2$  と第三拡散層の深さ  $D_3$  とが、 $D_2 > D_3$  の関係をなすことを特徴とする。

【0009】

また、第一拡散層の深さ  $D_1$ 、第二拡散層の深さ  $D_2$ 、第三拡散層の深さ  $D_3$  として、 $D_1 > D_2 > D_3$  の関係をなすことが好ましい。

【0010】

また、第二拡散層のキャリア濃度と第三拡散層のキャリア濃度とが異なることが好ましい。

## 【0011】

また、半導体基板の内部において、半導体基板より短いライフタイムを有する複数のライフタイム制御領域が基板面と略平行に形成されており、

第二拡散層および第三拡散層に最も近接した第一ライフタイム制御領域は、第二拡散層および第三拡散層に2番目に近接した第二ライフタイム制御領域よりも短いライフタイムを有することが好ましい。

## 【0012】

また、第二拡散層および第三拡散層に最も近接した第一ライフタイム制御領域は、各ライフタイム制御領域のうちで最も短いライフタイムを有することが好ましい。

## 【0013】

また、半導体基板の内部において、半導体基板より短いライフタイムを有する3つのライフタイム制御領域が形成されており、

第二拡散層および第三拡散層に最も近接した第一ライフタイム制御領域のライフタイム $\tau_1$ 、2番目に近接した第二ライフタイム制御領域のライフタイム $\tau_2$ 、3番目に近接した第三ライフタイム制御領域のライフタイム $\tau_3$ として、 $\tau_1 < \tau_2 < \tau_3$ の関係をなすことが好ましい。

## 【0014】

また、半導体基板より短いライフタイムを有するライフタイム制御領域が、基板側面に沿った外周部に形成されており、

ライフタイム制御領域の内部界面は、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分より内側に配置されることが好ましい。

## 【0015】

また、基板側面に沿ってベベル面が形成されており、

第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分は、ベベル面の最内径部分より内側に配置されることが好ましい。

## 【0016】

また、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分は、第2電極の最外径部分より外側に配置されることが好ましい。

## 【0017】

また、基板側面に沿ってベベル面が形成されており、

ベベル面の最内径F b、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分の直径E b、第2電極の最外径E a、ライフタイム制御領域の内部界面の最内径F aとして、 $F b > E b > E a > F a$ の関係をなすことが好ましい。

## 【0018】

また、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分の直径E b、第2電極の最外径E a、第二拡散層の深さD 2として、 $E b - E a > 2 \times D 2$ の関係をなすことが好ましい。

## 【0019】

また、第二拡散層の内部界面および第三拡散層の内部界面が互いに交差する部分の直径E b、第四拡散層の最外径E c、第一拡散層の内部界面から第三拡散層の内部界面までの距離D 5として、 $E c < E b - D 5$ の関係をなすことが好ましい。

## 【0020】

## 【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態について説明する。

## 【0021】

実施の形態1.

図1は本発明の第1実施形態を示し、図1(a)は垂直断面図、図1(b)は平面図である。N<sup>-</sup>型の半導体基板(例えばSi等)10の表面にP型不純物(例えばB, Al等)を拡散することによって、P<sup>++</sup>型の第一拡散層11が形成される。さらに、基板10の表面にN型不純物(例えばP, As等)を拡散することによって、第一拡散層11より浅いN型の第四拡散層14が形成される。第四拡散層14はエッチング等によって部分的に除去されて、第一拡散層11が基板表面に部分的に露出している。

## 【 0 0 2 2 】

一方、基板 1 0 の裏面に P 型不純物を拡散することによって、P 型の第二拡散層 1 2 が形成される。

## 【 0 0 2 3 】

こうしてサイリスタ動作が可能な P N P N 接合構造が得られる。

## 【 0 0 2 4 】

図 1 ( b ) に示すように、基板 1 0 の表面には、N 型の第四拡散層 1 4 と接触するように円形状のカソード電極 2 1 が設けられ、さらに  $P^{++}$  型の第一拡散層 1 1 と接触するようにリング状のゲート電極 2 3 が設けられる。

## 【 0 0 2 5 】

基板 1 0 の裏面には、P 型の第二拡散層 1 2 に接触するように、円形状のアノード電極 2 2 が形成される。

## 【 0 0 2 6 】

次に動作について説明する。カソード電極 2 1 をグラウンドラインに接続し、アノード電極 2 2 に正の電圧を印加した場合、P 型の第二拡散層 1 2 と  $N^{-}$  型の基板 1 0 との間は順バイアス状態となり、 $P^{++}$  型の第一拡散層 1 1 と N 型の第四拡散層 1 4 との間は順バイアス状態となり、 $N^{-}$  型の基板 1 0 と  $P^{++}$  型の第一拡散層 1 1 との間は逆バイアス状態となって空乏層が形成される。このとき空乏層の存在によって、電流はほとんど流れない。

## 【 0 0 2 7 】

アノード電圧がより高くなって降伏電圧を超えると、電流が急激に増加して、半導体装置はターンオン状態になる。その際、ゲート電極 2 3 から注入する電流（キャリア）量を制御することによって、降伏電圧を制御できる。

## 【 0 0 2 8 】

次にターンオン状態でアノード電極 2 2 に逆電圧が印加されると、P 型の第二拡散層 1 2 と  $N^{-}$  型の基板 1 0 との間は逆バイアス状態となり、 $P^{++}$  型の第一拡散層 1 1 と N 型の第四拡散層 1 4 との間は逆バイアス状態となり、 $N^{-}$  型の基板 1 0 と  $P^{++}$  型の第一拡散層 1 1 との間は順バイアス状態となる。このとき内部に蓄積されていたキャリアが移動するのに時間を要するため、ある程度の期間

だけ逆電流が流れてしまう。

【 0 0 2 9 】

そこで、ゲート電極 2 3 にオン状態とは逆方向の電流を流して残留キャリアを積極的に引き出すことによって、逆回復特性を改善できる。内部キャリアが存在しなくなるとターンオフ状態になり、空乏層の存在によって電流はほとんど流れなくなる。こうしてターンオンとターンオフを繰り返すことによって、電流のスイッチング動作が可能になる。

【 0 0 3 0 】

本実施形態では、サイリスタのエミッタ層として、P 型の第二拡散層 1 2 を形成している。

【 0 0 3 1 】

第二拡散層 1 2 は、逆回復特性に影響する活性部領域であり、この第二拡散層 1 2 の深さ D 2 を比較的小さく形成することによって、ターンオフ時に残留キャリアが速やかに移動するようになるため、逆回復特性を改善することができる。また、第二拡散層 1 2 の深さ D 2 を小さく形成することによって、N<sup>-</sup>型層の厚さが従来のものより増加するため、逆阻止耐圧特性を改善することができる。

【 0 0 3 2 】

特に、第二拡散層 1 2 の深さ D 2 は、第一拡散層 1 1 の深さ D 1 より小さいことが好ましく、これによって逆回復特性および逆阻止耐圧特性をより改善できる。第一拡散層 1 1 および第二拡散層 1 2 の各深さ D 1, D 2 は、例えば 5 0 ~ 1 0 0 μ m の範囲内で、D 1 > D 2 の関係をなすように選定される。

【 0 0 3 3 】

また、第二拡散層 1 2 のうち基板側面に露出した部分は、耐圧特性に影響する部分であり、この露出部分の深さおよびキャリア濃度は従来のエミッタ層と同程度に設定することによって、従来のものと同程度の耐圧特性を確保することができる。

【 0 0 3 4 】

実施の形態 2.

図 2 は本発明の第 2 実施形態を示し、図 2 ( a ) は垂直断面図、図 2 ( b ) は

平面図である。N<sup>-</sup>型の半導体基板（例えばSi等）10の表面にP型不純物（例えばB, Al等）を拡散することによって、P<sup>++</sup>型の第一拡散層11が形成される。さらに、基板10の表面にN型不純物（例えばP, As等）を拡散することによって、第一拡散層11より浅いN型の第四拡散層14が形成される。第四拡散層14はエッチング等によって部分的に除去されて、第一拡散層11が基板表面に部分的に露出している。

## 【0035】

一方、基板10の裏面にP型不純物を拡散することによって、基板側面に露出するように円環状にP型の第二拡散層12が局所的に形成される。さらに、基板10の裏面にP型不純物を拡散することによって、基板側面に露出しないように第二拡散層12の内側に分布するようにして、P<sup>+</sup>型の第三拡散層13が局所的に形成される。

## 【0036】

こうしてサイリスタ動作が可能なPNPN接合構造が得られる。

## 【0037】

図2（b）に示すように、基板10の表面には、N型の第四拡散層14と接触するように円形状のカソード電極21が設けられ、さらにP<sup>++</sup>型の第一拡散層11と接触するようにリング状のゲート電極23が設けられる。

## 【0038】

基板10の裏面には、P<sup>+</sup>型の第三拡散層13と接触して、P型の第二拡散層12には接触しないように、円形状のアノード電極22が形成される。

## 【0039】

次に動作について説明する。カソード電極21をグラウンドラインに接続し、アノード電極22に正の電圧を印加した場合、P<sup>+</sup>型の第三拡散層13とN<sup>-</sup>型の基板10との間は順バイアス状態となり、P<sup>++</sup>型の第一拡散層11とN型の第四拡散層14との間は順バイアス状態となり、N<sup>-</sup>型の基板10とP<sup>++</sup>型の第一拡散層11との間は逆バイアス状態となって空乏層が形成される。このとき空乏層の存在によって、電流はほとんど流れない。

## 【0040】

アノード電圧がより高くなって降伏電圧を超えると、電流が急激に増加して、半導体装置はターンオン状態になる。その際、ゲート電極 23 から注入する電流（キャリア）量を制御することによって、降伏電圧を制御できる。

## 【0041】

次にターンオン状態でアノード電極 22 に逆電圧が印加されると、 $P^+$  型の第三拡散層 13 と  $N^-$  型の基板 10 との間は逆バイアス状態となり、 $P^{++}$  型の第一拡散層 11 と  $N$  型の第四拡散層 14 との間は逆バイアス状態となり、 $N^-$  型の基板 10 と  $P^{++}$  型の第一拡散層 11 との間は順バイアス状態となる。このとき内部に蓄積されていたキャリアが移動するのに時間を要するため、ある程度の期間だけ逆電流が流れてしまう。

## 【0042】

そこで、ゲート電極 23 にオン状態とは逆方向の電流を流して残留キャリアを積極的に引き出すことによって、逆回復特性を改善できる。内部キャリアが存在しなくなるとターンオフ状態になり、空乏層の存在によって電流はほとんど流れなくなる。こうしてターンオンとターンオフを繰り返すことによって、電流のスイッチング動作が可能になる。

## 【0043】

本実施形態では、サイリスタのエミッタ層として、 $P$  型の第二拡散層 12 および  $P^+$  型の第三拡散層 13 の二段形成を行っている。すなわち基板裏面から見て、エミッタ層の中央部に高キャリア濃度の第三拡散層 13 を配置し、その第三拡散層 13 を包囲するように低キャリア濃度の第二拡散層 12 を配置している。

## 【0044】

第三拡散層 13 は、逆回復特性に影響する活性部領域であり、この第三拡散層 13 の深さ  $D3$  を比較的小さく形成することによって、ターンオフ時に残留キャリアが速やかに移動するようになるため、逆回復特性を改善することができ、また、第三拡散層 13 の深さ  $D3$  を小さく形成することによって、 $N^-$  型層の厚さが従来のもより増加するため、逆阻止耐圧特性を改善することができる。

## 【0045】

特に、第三拡散層 13 の深さ  $D3$  は、第一拡散層 11 の深さ  $D1$  および第二拡



散層 12 の深さ  $D_2$  よりそれぞれ小さいことが好ましく、これによって逆回復特性および逆阻止耐圧特性をより改善できる。第一拡散層 11 ～ 第三拡散層 13 の各深さ  $D_1$ ,  $D_2$ ,  $D_3$  は、例えば  $50 \sim 100 \mu\text{m}$  の範囲内で、 $D_1 > D_2 > D_3$  の関係をなすように選定される。

## 【0046】

一方、第二拡散層 12 は、耐圧特性に影響する部分であり、この第二拡散層 12 の深さ  $D_2$  およびキャリア濃度は従来のエミッタ層と同程度に設定し、第三拡散層 13 のキャリア濃度より低くなるように形成することによって、従来のものと同程度の耐圧特性を確保することができる。

## 【0047】

実施の形態 3.

図 3 は、本発明の第 3 実施形態を示す垂直断面図である。N<sup>-</sup>型の半導体基板（例えば Si 等）10 の表面に P 型不純物（例えば B, Al 等）を拡散することによって、P<sup>++</sup>型の第一拡散層 11 が形成される。さらに、基板 10 の表面に N 型不純物（例えば P, As 等）を拡散することによって、第一拡散層 11 より浅い N 型の第四拡散層 14 が形成される。第四拡散層 14 はエッチング等によって部分的に除去されて、第一拡散層 11 が基板表面に部分的に露出している。

## 【0048】

一方、基板 10 の裏面に P 型不純物を拡散することによって、基板側面に露出するように円環状に P 型の第二拡散層 12 が局所的に形成される。さらに、基板 10 の裏面に P 型不純物を拡散することによって、基板側面に露出しないように第二拡散層 12 の内側に分布するようにして、P<sup>+</sup>型の第三拡散層 13 が局所的に形成される。

## 【0049】

こうしてサイリスタ動作が可能な PNP 接合構造が得られる。

## 【0050】

各電極の形状および配置は、図 1 (b) のものと同様であり、基板 10 の表面には、N 型の第四拡散層 14 と接触するように円形状のカソード電極 21 が設けられ、さらに P<sup>++</sup>型の第一拡散層 11 と接触するようにリング状のゲート電極

2 3 が設けられる。

【 0 0 5 1 】

基板 1 0 の裏面には、 $P^+$  型の第三拡散層 1 3 と接触して、 $P$  型の第二拡散層 1 2 には接触しないように、円形状のアノード電極 2 2 が形成される。

【 0 0 5 2 】

サイリスタのエミッタ層については、図 1 のものと同様に、 $P$  型の第二拡散層 1 2 および  $P^+$  型の第三拡散層 1 3 の二段形成を行っている。すなわち基板裏面から見て、エミッタ層の中央部に高キャリア濃度の第三拡散層 1 3 を配置し、その第三拡散層 1 3 を包囲するように低キャリア濃度の第二拡散層 1 2 を配置している。

【 0 0 5 3 】

第三拡散層 1 3 は、逆回復特性に影響する活性部領域であり、この第三拡散層 1 3 の深さ  $D_3$  を比較的小さく形成することによって、ターンオフ時に残留キャリアが速やかに移動するようになるため、逆回復特性を改善することができ、また、第三拡散層 1 3 の深さ  $D_3$  を小さく形成することによって、 $N^-$  型層の厚さが従来のものより増加するため、逆阻止耐圧特性を改善することができる。

【 0 0 5 4 】

特に、第三拡散層 1 3 の深さ  $D_3$  は、第一拡散層 1 1 の深さ  $D_1$  および第二拡散層 1 2 の深さ  $D_2$  よりそれぞれ小さいことが好ましく、これによって逆回復特性および逆阻止耐圧特性をより改善できる。第一拡散層 1 1 ～第三拡散層 1 3 の各深さ  $D_1$ 、 $D_2$ 、 $D_3$  は、例えば  $50 \sim 100 \mu m$  の範囲内で、 $D_1 > D_2 > D_3$  の関係をなすように選定される。

【 0 0 5 5 】

一方、第二拡散層 1 2 は、耐圧特性に影響する部分であり、この第二拡散層 1 2 の深さ  $D_2$  およびキャリア濃度は従来のエミッタ層と同程度に設定し、第三拡散層 1 3 のキャリア濃度より低くなるように形成することによって、従来のものと同程度の耐圧特性を確保することができる。

【 0 0 5 6 】

本実施形態では、半導体基板 1 0 の  $N^-$  型層の内部において、複数（図 3 では

3つ) のライフタイム制御領域を基板面と略平行に形成している。ライフタイム制御領域は、プロトン等を照射することによって結晶欠陥を故意に導入して、半導体禁制帯内に深い準位を形成したものであり、これによってターンオフ時に残留キャリアを速やかに消滅させることができ、逆回復特性が向上する。

## 【 0 0 5 7 】

なお、ライフタイム制御領域における残留キャリアのライフタイム長はプロトンの照射量によって制御可能であり、ライフタイム制御領域の深さはプロトンの照射エネルギーによって制御可能である。

## 【 0 0 5 8 】

ここでは、図 3 に示すように、3つのライフタイム制御領域を形成しており、第二拡散層 1 2 および第三拡散層 1 3 に最も近接した第一ライフタイム制御領域 3 1 は、第二拡散層 1 2 および第三拡散層 1 3 に 2 番目に近接した第二ライフタイム制御領域 3 2 よりも短いライフタイムを有することが好ましい。また、第一ライフタイム制御領域 3 1 のライフタイムは、各ライフタイム制御領域のうちで最も短いことが好ましい。

## 【 0 0 5 9 】

特に、第二拡散層 1 2 および第三拡散層 1 3 に最も近接した第一ライフタイム制御領域 3 1 のライフタイム $\tau_1$ 、2 番目に近接した第二ライフタイム制御領域 3 2 のライフタイム $\tau_2$ 、3 番目に近接した第三ライフタイム制御領域 3 3 のライフタイム $\tau_3$ として、 $\tau_1 < \tau_2 < \tau_3$  の関係をなすことが好ましい。

## 【 0 0 6 0 】

図 7 (a) はターンオフ時の逆回復電荷 $Q_{rr}$ と残留キャリアのライフタイムとの関係を示すグラフであり、図 7 (b) はターンオフ時の逆回復電流波形を示すグラフである。まず図 7 (a) において、カーブ C A は、3つのライフタイム制御領域のうち第一ライフタイム制御領域 3 1 のライフタイム $\tau_1$  が最も短い場合を示す。カーブ C B は、第二ライフタイム制御領域 3 2 のライフタイム $\tau_2$  が最も短い場合を示す。カーブ C C は、第三ライフタイム制御領域 3 3 のライフタイム $\tau_3$  が最も短い場合を示す。

## 【 0 0 6 1 】

カーブCA～CCを参照すると、ターンオフ時において、残留キャリアのライフタイムが長くなるにつれて、逆回復電荷 $Q_{rr}$ は徐々に増加する傾向がある。

【0062】

図7(b)に示すように、逆回復電荷 $Q_{rr}$ は、逆回復電流の時間積分値に相当するものであり、逆回復電荷 $Q_{rr}$ が小さいほど優れた逆回復特性を示す。特に、逆回復電流波形のゼロクロス点から最初のピークまでの期間PAは第一ライフタイム制御領域31のライフタイム $\tau_1$ による影響が大きく、最初のピークから次の湾曲点までの期間PBは第二ライフタイム制御領域32のライフタイム $\tau_2$ による影響が大きく、期間PBの終りから電流ゼロに収束するまでの期間PCは第三ライフタイム制御領域33のライフタイム $\tau_3$ による影響が大きい。

【0063】

従って、各ライフタイム制御領域のライフタイム $\tau_1 \sim \tau_3$ に関して、 $\tau_1 < \tau_2 < \tau_3$ の関係を満たすことによって、逆回復損失およびターンオフ損失を改善することができる。

【0064】

実施の形態4.

図4は、本発明の第4実施形態を示す垂直断面図である。N<sup>-</sup>型の半導体基板(例えばSi等)10の表面にP型不純物(例えばB, Al等)を拡散することによって、P<sup>++</sup>型の第一拡散層11が形成される。さらに、基板10の表面にN型不純物(例えばP, As等)を拡散することによって、第一拡散層11より浅いN型の第四拡散層14が形成される。第四拡散層14はエッチング等によって部分的に除去されて、第一拡散層11が基板表面に部分的に露出している。

【0065】

一方、基板10の裏面にP型不純物を拡散することによって、基板側面に露出するように円環状にP型の第二拡散層12が局所的に形成される。さらに、基板10の裏面にP型不純物を拡散することによって、基板側面に露出しないように第二拡散層12の内側に分布するようにして、P<sup>+</sup>型の第三拡散層13が局所的に形成される。

【0066】

こうしてサイリスタ動作が可能なPNPN接合構造が得られる。

【0067】

各電極の形状および配置は、図1（b）のものと同様であり、基板10の表面には、N型の第四拡散層14と接触するように円形状のカソード電極21が設けられ、さらに $P^{++}$ 型の第一拡散層11と接触するようにリング状のゲート電極23が設けられる。

【0068】

基板10の裏面には、 $P^{+}$ 型の第三拡散層13と接触して、P型の第二拡散層12には接触しないように、円形状のアノード電極22が形成される。

【0069】

サイリスタのエミッタ層については、図1のものと同様に、P型の第二拡散層12および $P^{+}$ 型の第三拡散層13の二段形成を行っている。すなわち基板裏面から見て、エミッタ層の中央部に高キャリア濃度の第三拡散層13を配置し、その第三拡散層13を包囲するように低キャリア濃度の第二拡散層12を配置している。

【0070】

第三拡散層13は、逆回復特性に影響する活性部領域であり、この第三拡散層13の深さD3を比較的小さく形成することによって、ターンオフ時に残留キャリアが速やかに移動するようになるため、逆回復特性を改善することができ、また、第三拡散層13の深さD3を小さく形成することによって、 $N^{-}$ 型層の厚さが従来のもより増加するため、逆阻止耐圧特性を改善することができる。

【0071】

特に、第三拡散層13の深さD3は、第一拡散層11の深さD1および第二拡散層12の深さD2よりそれぞれ小さいことが好ましく、これによって逆回復特性および逆阻止耐圧特性をより改善できる。第一拡散層11～第三拡散層13の各深さD1、D2、D3は、例えば50～100 $\mu m$ の範囲内で、 $D1 > D2 > D3$ の関係をなすように選定される。

【0072】

一方、第二拡散層12は、耐圧特性に影響する部分であり、この第二拡散層1

2 の深さ D 2 およびキャリア濃度は従来のエミッタ層と同程度に設定し、第三拡散層 1 3 のキャリア濃度より低くなるように形成することによって、従来のものと同程度の耐圧特性を確保することができる。

## 【 0 0 7 3 】

本実施形態では、半導体基板 1 0 の側面に沿って断面凹状のベベル面 B V が形成されており、このベベル面 B V の外周部に沿って第四ライフタイム制御領域 3 4 を円筒状に形成している。第四ライフタイム制御領域 3 4 は、プロトン等を照射することによって結晶欠陥を故意に導入して、半導体禁制帯内に深い準位を形成したものである。これによって電流（キャリア）は、中央の活性部領域に集中するようになり、基板側面の外周部は流れにくくなる。すると、電流損失による発熱は、外部電極（不図示）の圧接により放熱効果が高いカソード電極 2 1 およびアノード電極 2 2 に向かって伝達されるようになり、放熱効果が低い基板側面へ伝達されにくくなり、その結果、動作温度を向上させることができる。

## 【 0 0 7 4 】

特に、第四ライフタイム制御領域 3 4 の内部界面は、第二拡散層 1 2 の内部界面および第三拡散層 1 3 の内部界面が互いに交差する部分より内側に配置されることが好ましい。これによって基板側面付近での電流密度および温度上昇が抑制されて、動作温度を向上させることができる。

## 【 0 0 7 5 】

実施の形態 5.

図 5 は本発明の第 5 実施形態を示し、図 5 ( a ) は垂直断面図、図 5 ( b ) は平面図である。N<sup>-</sup>型の半導体基板（例えば Si 等）1 0 の表面に P 型不純物（例えば B, Al 等）を拡散することによって、P<sup>++</sup>型の第一拡散層 1 1 が形成される。さらに、基板 1 0 の表面に N 型不純物（例えば P, As 等）を拡散することによって、第一拡散層 1 1 より浅い N 型の第四拡散層 1 4 が形成される。第四拡散層 1 4 はエッチング等によって部分的に除去されて、第一拡散層 1 1 が基板表面に部分的に露出している。

## 【 0 0 7 6 】

一方、基板 1 0 の裏面に P 型不純物を拡散することによって、基板側面に露出

するように円環状に P 型の第二拡散層 1 2 が局所的に形成される。さらに、基板 1 0 の裏面に P 型不純物を拡散することによって、基板側面に露出しないように第二拡散層 1 2 の内側に分布するようにして、 $P^+$  型の第三拡散層 1 3 が局所的に形成される。

## 【 0 0 7 7 】

こうしてサイリスタ動作が可能な P N P N 接合構造が得られる。

## 【 0 0 7 8 】

各電極の形状および配置は、図 1 ( b ) のものと同様であり、基板 1 0 の表面には、N 型の第四拡散層 1 4 と接触するように円形状のカソード電極 2 1 が設けられ、さらに  $P^{++}$  型の第一拡散層 1 1 と接触するようにリング状のゲート電極 2 3 が設けられる。

## 【 0 0 7 9 】

基板 1 0 の裏面には、 $P^+$  型の第三拡散層 1 3 と接触して、P 型の第二拡散層 1 2 には接触しないように、円形状のアノード電極 2 2 が形成される。

## 【 0 0 8 0 】

サイリスタのエミッタ層については、図 1 のものと同様に、P 型の第二拡散層 1 2 および  $P^+$  型の第三拡散層 1 3 の二段形成を行っている。すなわち基板裏面から見て、エミッタ層の中央部に高キャリア濃度の第三拡散層 1 3 を配置し、その第三拡散層 1 3 を包囲するように低キャリア濃度の第二拡散層 1 2 を配置している。

## 【 0 0 8 1 】

第三拡散層 1 3 は、逆回復特性に影響する活性部領域であり、この第三拡散層 1 3 の深さ  $D_3$  を比較的小さく形成することによって、ターンオフ時に残留キャリアが速やかに移動するようになるため、逆回復特性を改善することができ、また、第三拡散層 1 3 の深さ  $D_3$  を小さく形成することによって、 $N^-$  型層の厚さが従来のもより増加するため、逆阻止耐圧特性を改善することができる。

## 【 0 0 8 2 】

特に、第三拡散層 1 3 の深さ  $D_3$  は、第一拡散層 1 1 の深さ  $D_1$  および第二拡散層 1 2 の深さ  $D_2$  よりそれぞれ小さいことが好ましく、これによって逆回復特

性および逆阻止耐圧特性をより改善できる。第一拡散層 1 1 ~ 第三拡散層 1 3 の各深さ  $D_1$ ,  $D_2$ ,  $D_3$  は、例えば  $50 \sim 100 \mu\text{m}$  の範囲内で、 $D_1 > D_2 > D_3$  の関係をなすように選定される。

## 【 0 0 8 3 】

一方、第二拡散層 1 2 は、耐圧特性に影響する部分であり、この第二拡散層 1 2 の深さ  $D_2$  およびキャリア濃度は従来のエミッタ層と同程度に設定し、第三拡散層 1 3 のキャリア濃度より低くなるように形成することによって、従来のものと同程度の耐圧特性を確保することができる。

## 【 0 0 8 4 】

本実施形態では、半導体基板 1 0 の側面に沿って断面凹状のベベル面 B V が形成されており、このベベル面 B V の外周部に沿って第四ライフタイム制御領域 3 4 を円筒状に形成している。第四ライフタイム制御領域 3 4 は、プロトン等を照射することによって結晶欠陥を故意に導入して、半導体禁制帯内に深い準位を形成したものである。これによって電流（キャリア）は、中央の活性部領域に集中するようになり、基板側面の外周部は流れにくくなる。すると、電流損失による発熱は、外部電極（不図示）の圧接により放熱効果が高いカソード電極 2 1 およびアノード電極 2 2 に向かって伝達されるようになり、放熱効果が低い基板側面へ伝達されにくくなり、その結果、動作温度を向上させることができる。

## 【 0 0 8 5 】

特に、第二拡散層 1 2 の内部界面および第三拡散層 1 3 の内部界面が互いに交差する部分（直径  $E_b$ ）は、ベベル面 B V の最内径  $F_b$  部分より内側に配置されることが好ましい。これによって基板側面付近での電流密度および温度上昇が抑制されて、動作温度を向上させることができる。

## 【 0 0 8 6 】

また、第二拡散層 1 2 の内部界面および第三拡散層 1 3 の内部界面が互いに交差する部分（直径  $E_b$ ）は、アノード電極 2 2 の最外径  $E_a$  部分より外側に配置されることが好ましい。これによって基板側面付近での電流密度および温度上昇が抑制されて、動作温度を向上させることができる。

## 【 0 0 8 7 】



また、ベベル面の最内径  $F_b$ 、第二拡散層 1 2 の内部界面および第三拡散層 1 3 の内部界面が互いに交差する部分の直径  $E_b$ 、アノード電極 2 2 の最外径  $E_a$ 、第四ライフタイム制御領域 3 4 の内部界面の最内径  $F_a$  として、 $F_b > E_b > E_a > F_a$  の関係をなすことが好ましい。これによって基板側面付近での電流密度および温度上昇が抑制されて、動作温度を向上させることができる。

## 【 0 0 8 8 】

また、第二拡散層 1 2 の内部界面および第三拡散層 1 3 の内部界面が互いに交差する部分の直径  $E_b$ 、アノード電極の最外径  $E_a$ 、第二拡散層 1 2 の深さ  $D_2$  として、 $E_b - E_a > 2 \times D_2$  の関係をなすことが好ましい。これによってアノード電極のエッジから第二拡散層 1 2 と第三拡散層 1 3 の交差部分までの投影間隔が第二拡散層 1 2 の深さ  $D_2$  より大きくなるため、第二拡散層 1 2 へ流れ込む電流が少なくなり、基板側面付近での電流密度および温度上昇が抑制されて、動作温度を向上させることができる。なお、基板側面にベベル面  $B_V$  を形成した場合、第二拡散層 1 2 の深さ  $D_2$  は、第二拡散層 1 2 の内部界面とベベル面  $B_V$  とが互いに交差する部分から基板裏面までの距離で定義される。

## 【 0 0 8 9 】

また、第二拡散層 1 2 の内部界面および第三拡散層 1 3 の内部界面が互いに交差する部分の直径  $E_b$ 、第四拡散層 1 4 の最外径  $E_c$ 、第一拡散層 1 1 の内部界面から第三拡散層 1 3 の内部界面までの距離  $D_5$  として、 $E_c < E_b - D_5$  の関係をなすことが好ましい。これによって基板側面付近での電流密度および温度上昇が抑制されて、動作温度を向上させることができる。なお、図 5 の断面図は、理解容易のため、高さ方向の縮尺を拡大描写している。

## 【 0 0 9 0 】

図 6 は、本発明に係る圧接型半導体装置の実装例を示す断面図である。上述のように構成された圧接型半導体装置 1 は、アノード側に配置された電極板 5 1 および外部アノード電極 5 2 と、カソード側に配置された電極板 5 3 および外部カソード電極 5 4 によって加圧挟持される。外部アノード電極 5 2 と外部カソード電極 5 4 は、電気絶縁材料からなるケーシング 5 5 に取り付けられる。こうした圧接型実装構造は、電極 5 2、5 4 が半導体装置 1 のヒートシンクとして機能す

るため、高電圧大電流の電力制御に好適である。

【 0 0 9 1 】

図 8 は、逆回復特性のシミュレーション結果の一例を示すグラフである。横軸は時間であり、左の縦軸は電流および電圧であり、右の縦軸は電力損失である。実線グラフは本発明のもの（図 2）で、破線グラフは従来構造のものを示す。

【 0 0 9 2 】

時間  $15 \mu\text{m}$  においてターンオン状態であり、アノード電流は約  $800 \text{ A}$ 、アノード電圧は約  $0 \text{ V}$ 、電力損失は約  $0 \text{ MVA}$  を示す。

【 0 0 9 3 】

時間  $18 \mu\text{m}$  においてアノード電極に逆電圧が印加されて電流が減少し、時間  $20 \mu\text{m}$  において逆回復電流がピークに達する。このとき破線グラフは約  $-1000 \text{ A}$  であるが、実線グラフは約  $-800 \text{ A}$  に抑制されている。

【 0 0 9 4 】

時間  $21 \mu\text{m}$  において電力損失はピークに達し、破線グラフは約  $3.1 \text{ MVA}$  であるが、実線グラフは約  $2.5 \text{ MVA}$  に抑制されている。

【 0 0 9 5 】

時間  $22 \mu\text{m}$  付近において、最大逆電圧  $V_{\text{RM}}$  はピークに達し、破線グラフは約  $-5500 \text{ V}$  であるが、実線グラフは約  $-5500 \text{ V}$  に抑制されている。

【 0 0 9 6 】

このようにサイリスタのエミッタ層として、P 型の第二拡散層 12 および P<sup>+</sup> 型の第三拡散層 13 の二段形成を採用することによって、逆回復特性が改善されていることが判る。

【 0 0 9 7 】

図 9 は、逆阻止電圧特性のシミュレーション結果の一例を示すグラフである。横軸は逆阻止電圧であり、縦軸は洩れ電流である。実線グラフは本発明のもの（図 2）で、破線グラフは従来構造のものを示す。

【 0 0 9 8 】

逆阻止電圧が  $7500 \text{ V}$  のとき、破線グラフは約  $0.2 \mu\text{A}$  であるが、実線グラフは約  $0.1 \mu\text{A}$  に抑制されている。逆阻止電圧が  $8000 \text{ V}$  のとき、破線グ

ラフは約  $0.8 \mu\text{A}$  であるが、実線グラフは約  $0.15 \mu\text{A}$  に抑制されている。

【0099】

また最大逆阻止電圧について、破線グラフは約  $8050\text{V}$  であるが、実線グラフは約  $8300\text{V}$  に向上している。

【0100】

このようにサイリスタのエミッタ層として、P型の第二拡散層12より深さが小さいP<sup>+</sup>型の第三拡散層13を形成することによって、逆阻止電圧特性が改善されていることが判る。

【0101】

以上の説明では、第1導電型としてN型、第2導電型としてP型、第1電極としてカソード電極、第2電極としてアノード電極を例示したが、極性反転の構成でも本発明は同様に適用可能である。

【0102】

【発明の効果】

以上詳説したように、サイリスタのエミッタ層として、拡散層の構造および深さを工夫することによって、逆阻止耐圧特性や逆回復特性を格段に改善できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態を示し、図1(a)は垂直断面図、図1(b)は平面図である。

【図2】 本発明の第2実施形態を示し、図2(a)は垂直断面図、図2(b)は平面図である。

【図3】 本発明の第3実施形態を示す垂直断面図である。

【図4】 本発明の第4実施形態を示す垂直断面図である。

【図5】 本発明の第5実施形態を示し、図5(a)は垂直断面図、図5(b)は平面図である。

【図6】 本発明に係る圧接型半導体装置の実装例を示す断面図である。

【図7】 図7(a)はターンオフ時の逆回復電荷 $Q_{rr}$ と残留キャリアのライフタイムとの関係を示すグラフであり、図7(b)はターンオフ時の逆回復電流波形を示すグラフである。

【図 8】 逆回復特性のシミュレーション結果の一例を示すグラフである。

【図 9】 逆阻止電圧特性のシミュレーション結果の一例を示すグラフである。

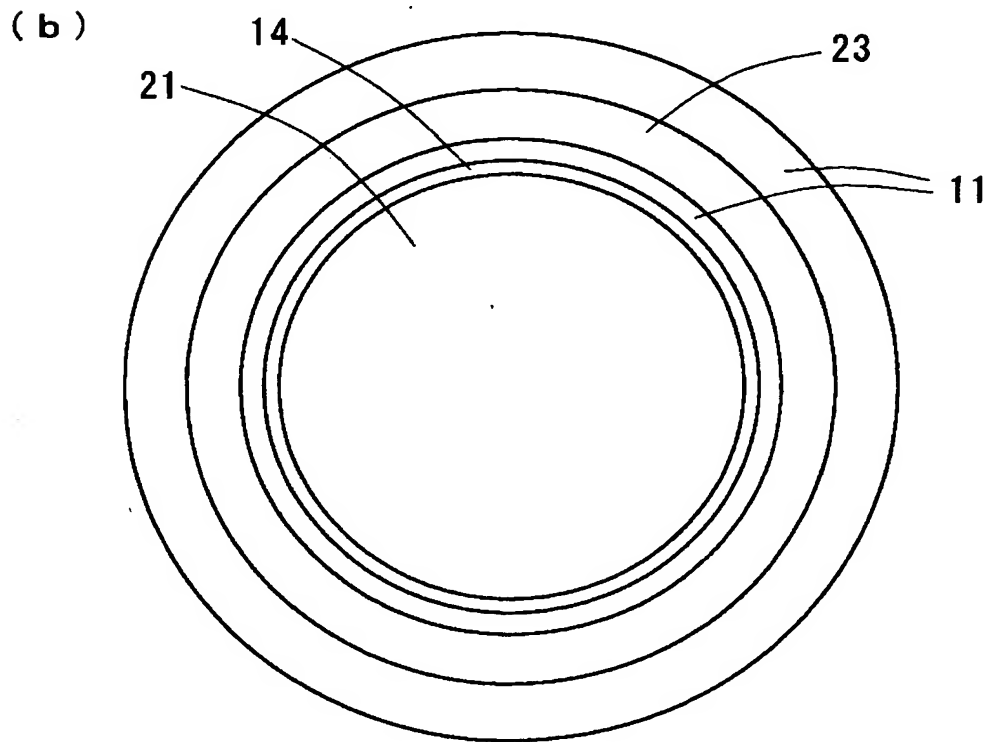
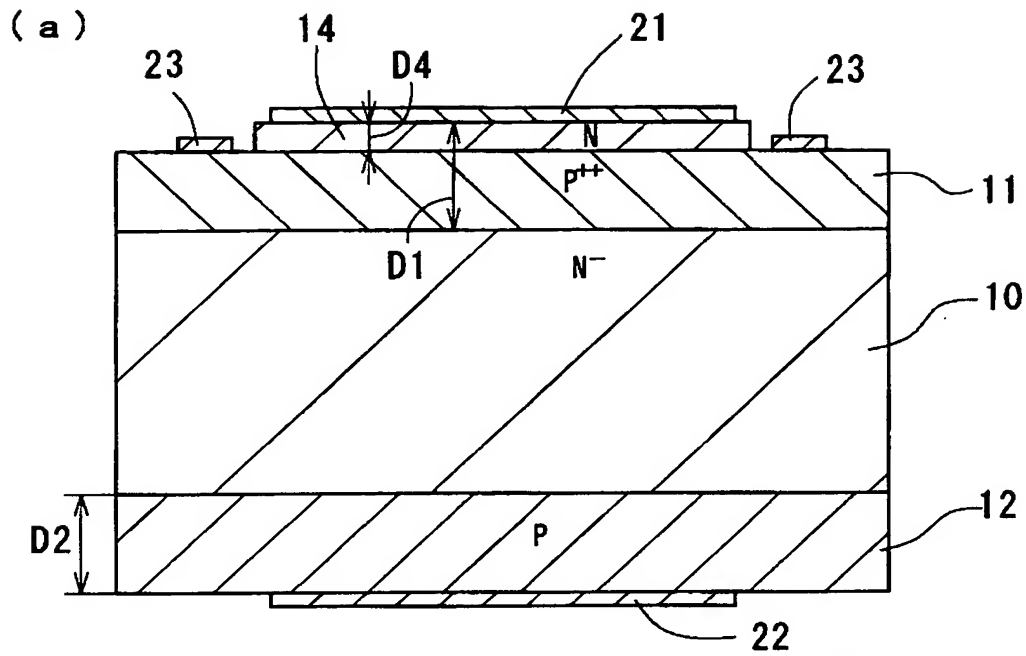
【符号の説明】

1 0 半導体基板、 1 1 第一拡散層、 1 2 第二拡散層、 1 3 第三  
拡散層、 1 4 第四拡散層、 2 1 カソード電極、 2 2 アノード電極、

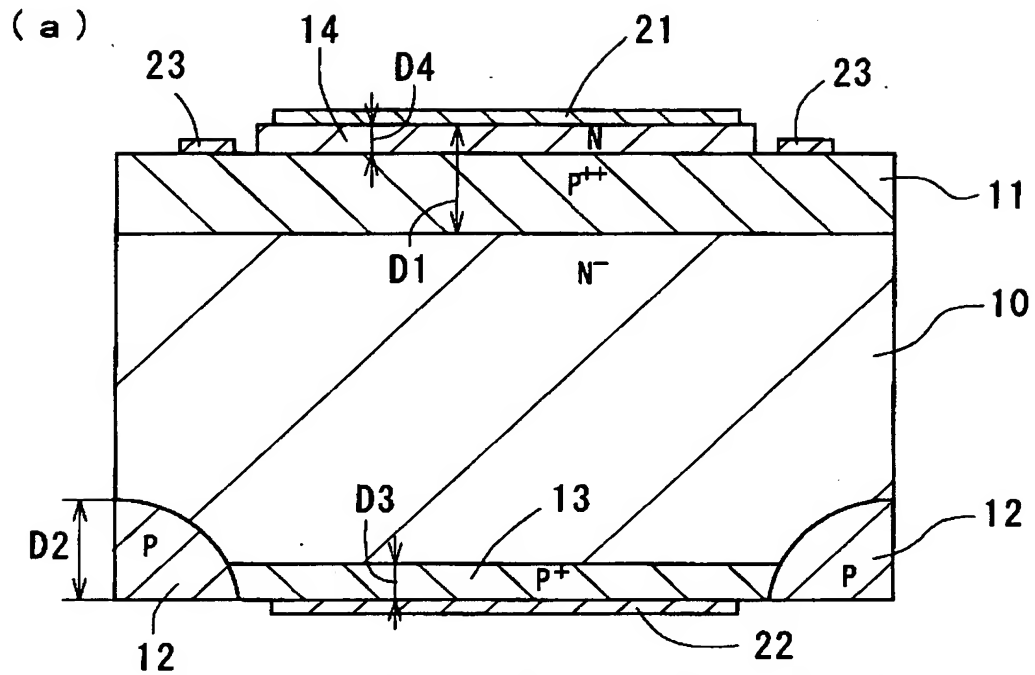
2 3 ゲート電極、 3 1 第一ライフタイム制御領域、 3 2 第二ライフタ  
イム制御領域、 3 3 第三ライフタイム制御領域、 3 4 第四ライフタイム  
制御領域、 B V ベベル面。

【書類名】 図面

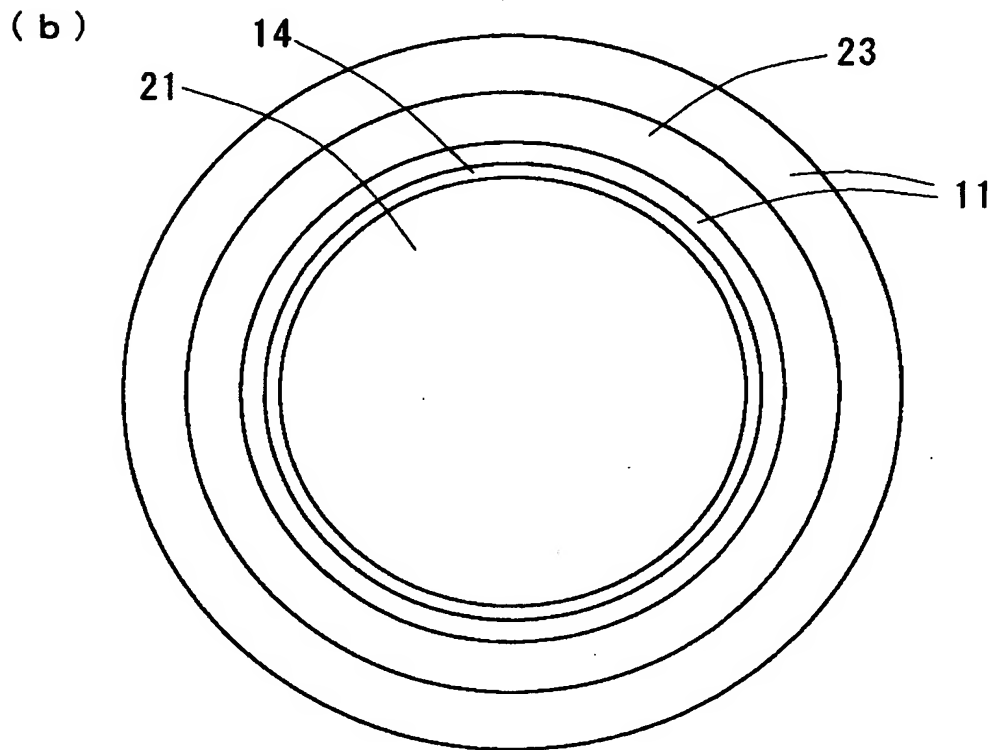
【図 1】



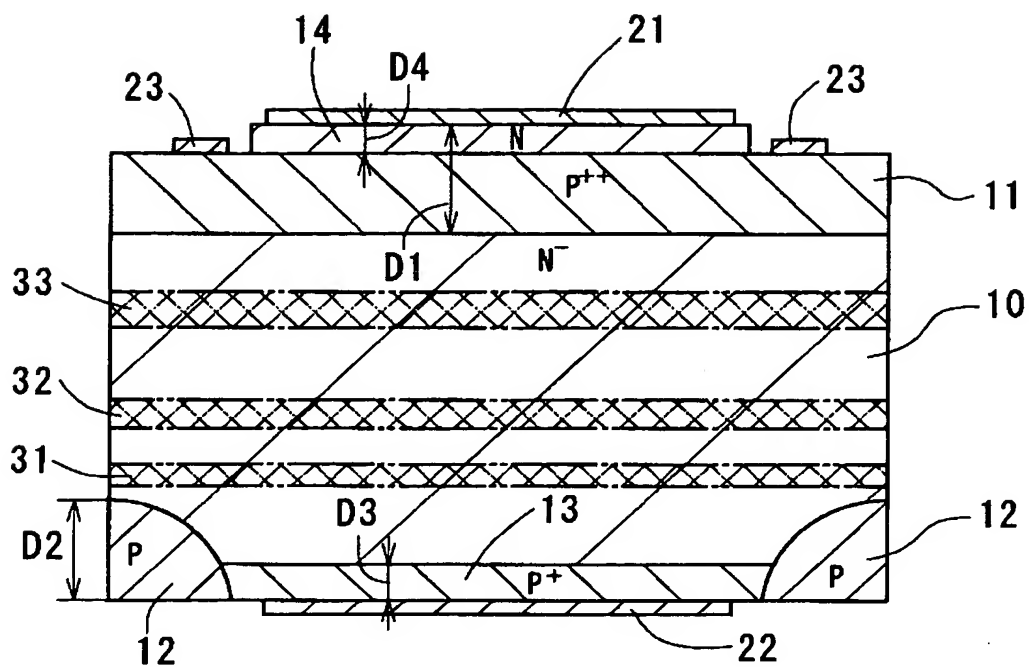
【図 2】



10:基板 11:第一拡散層 12:第二拡散層  
13:第三拡散層 14:第四拡散層 21-23:電極

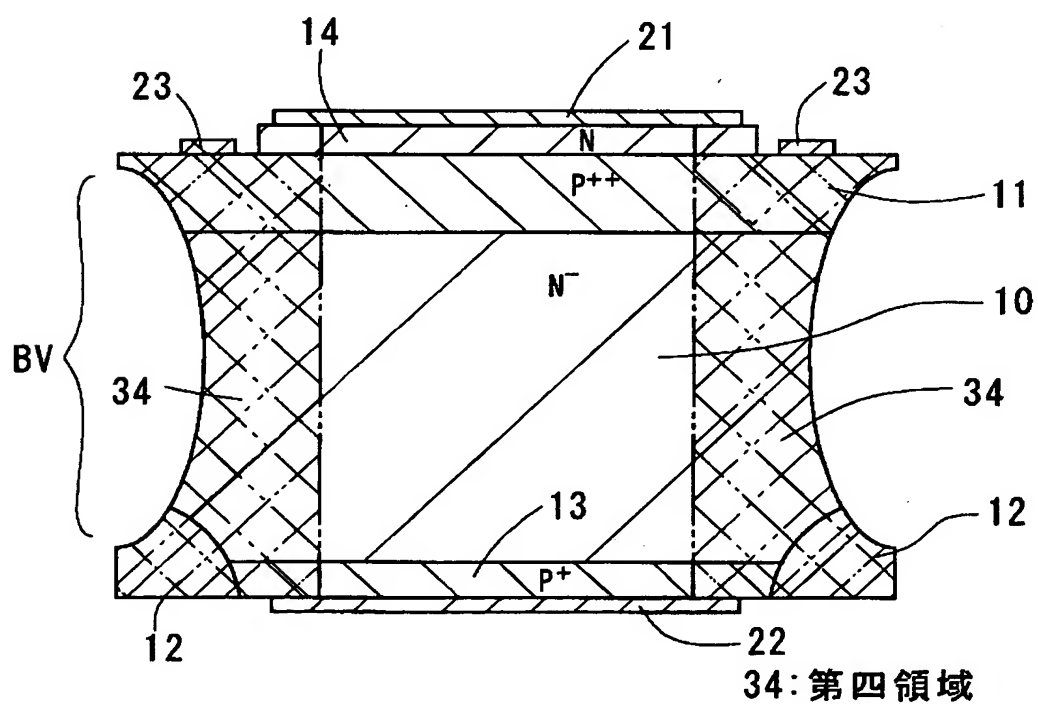


【図 3】

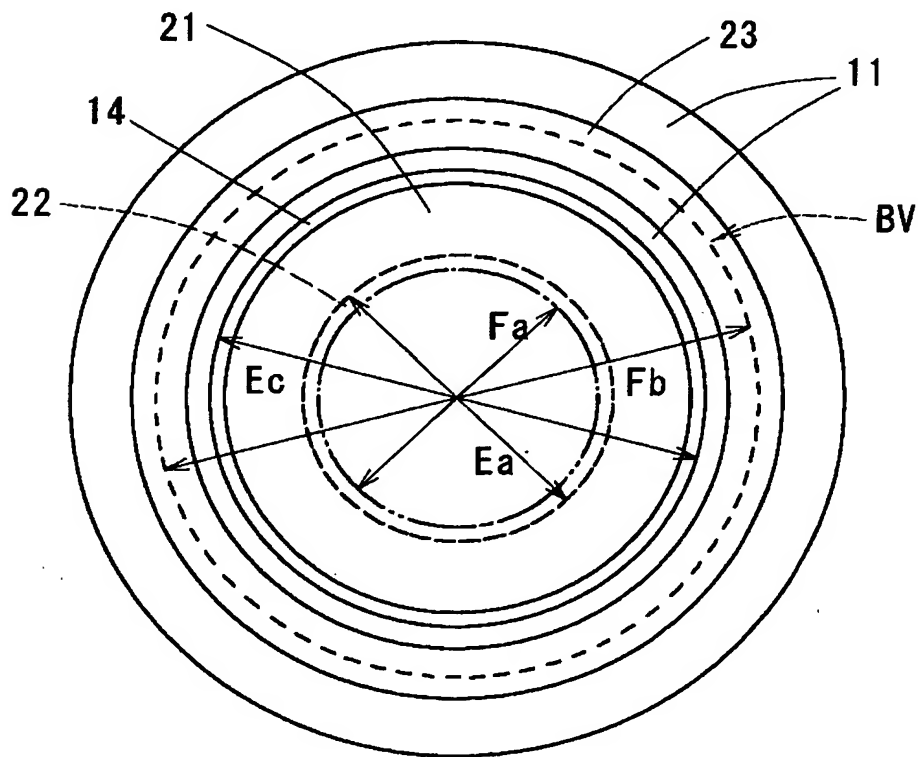
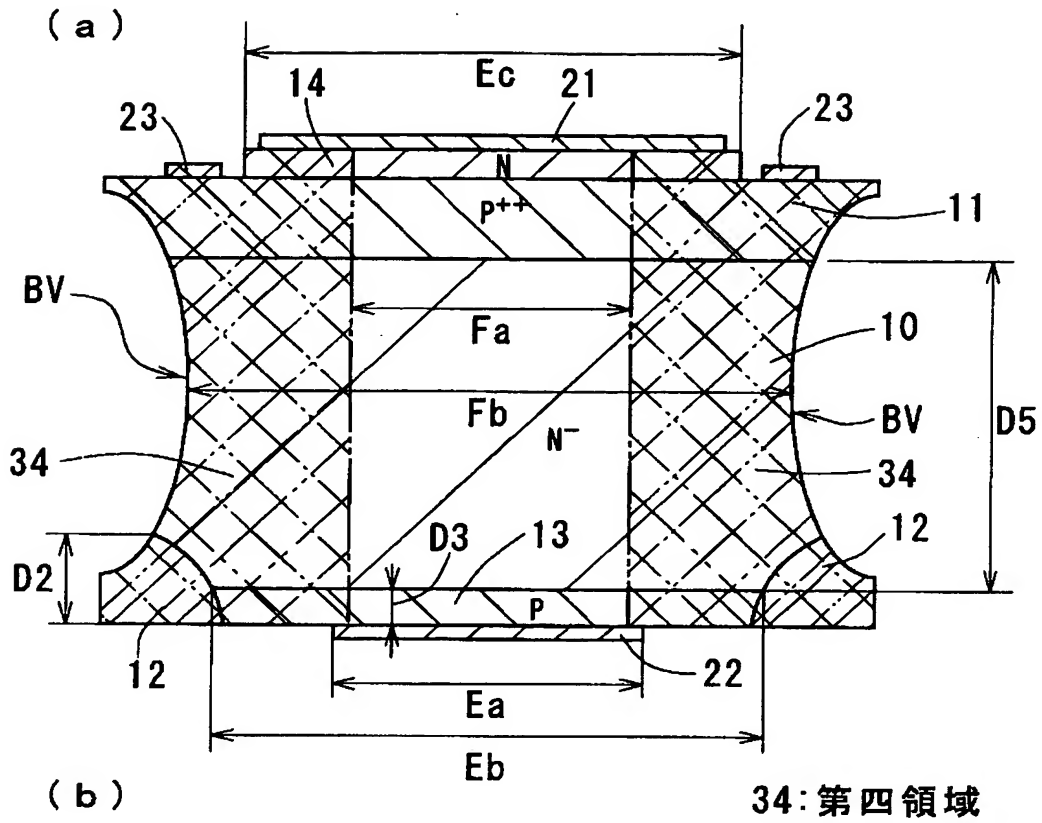


31:第一領域    32:第二領域    33:第三領域

【图 4】

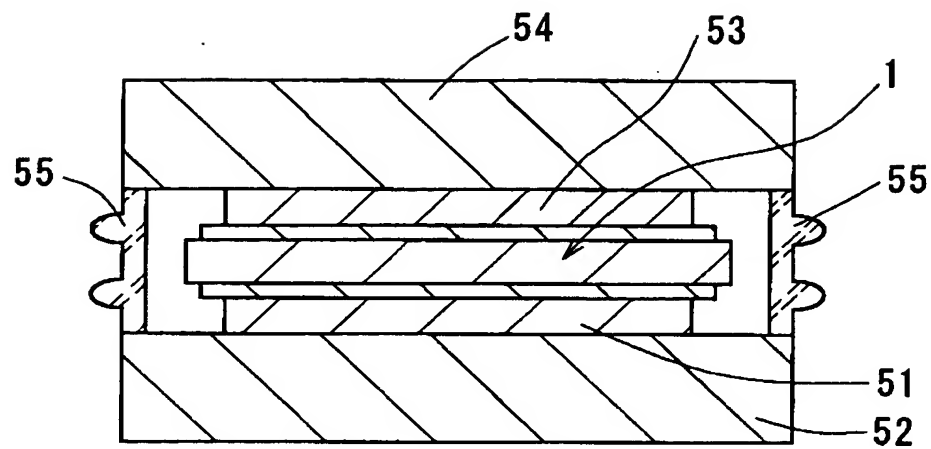


【図5】

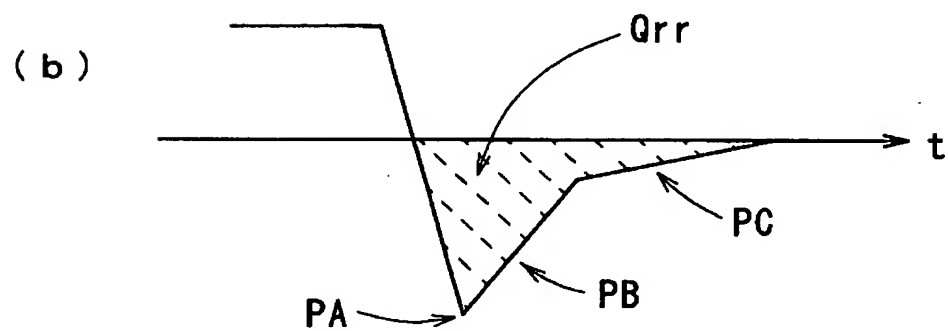
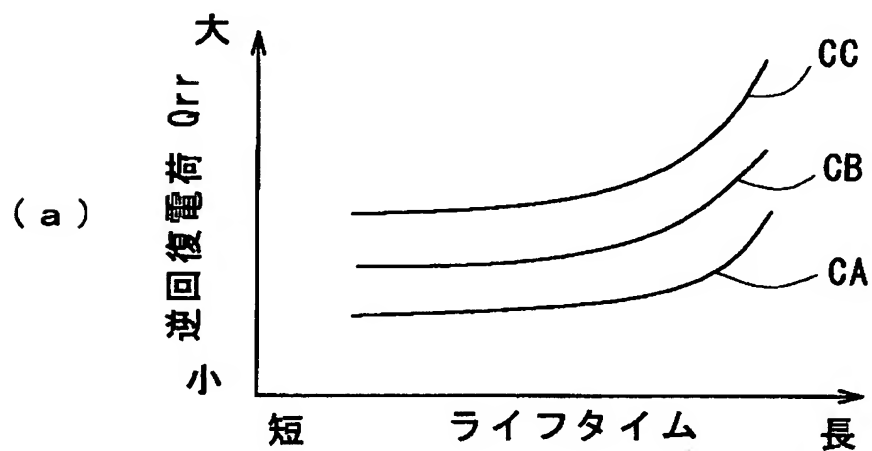




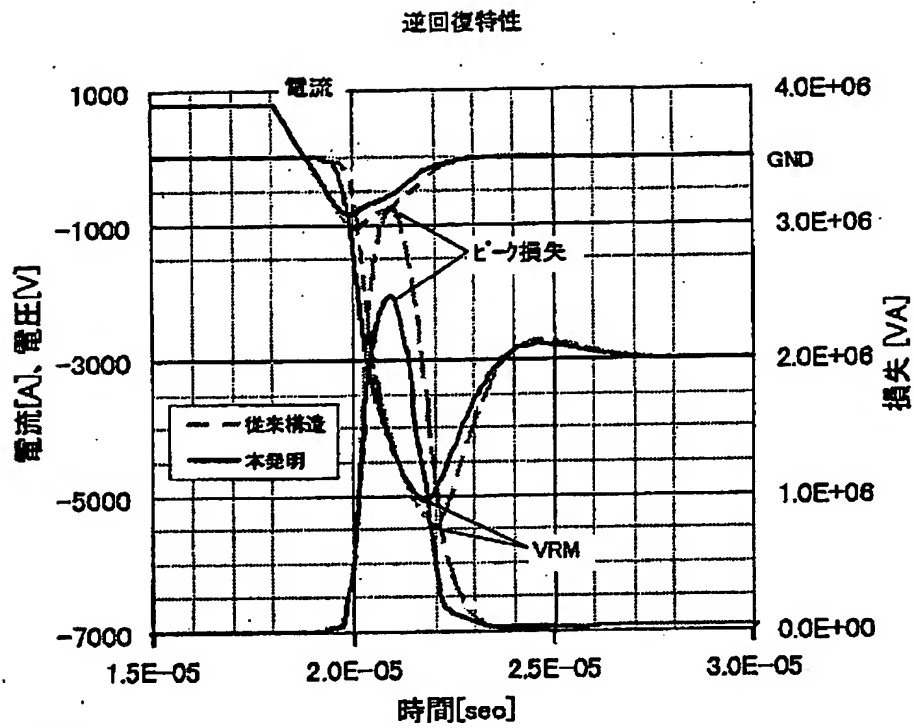
【図 6】



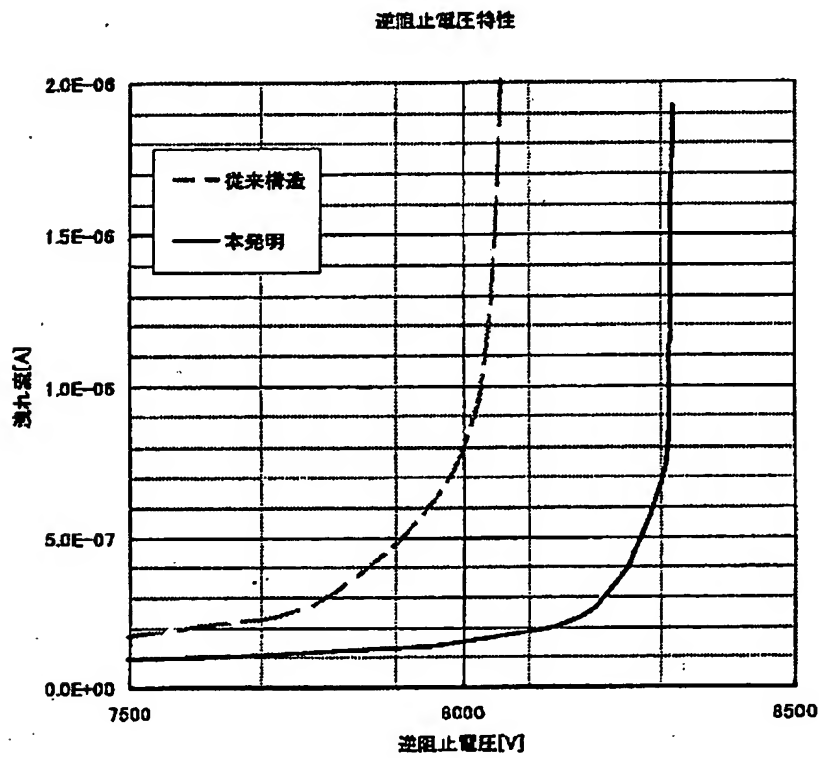
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 サイリスタの逆阻止耐圧特性や逆回復特性を格段に改善できる圧接型半導体装置を提供する。

【解決手段】  $N^-$ 型半導体基板 1 0 の表面に P 型不純物の拡散によって、 $P^+$ 型の第一拡散層 1 1 が形成され、基板 1 0 の表面に N 型不純物の拡散によって、第一拡散層 1 1 より浅い N 型の第四拡散層 1 4 が形成される。基板 1 0 の裏面に P 型不純物の拡散によって、基板側面に露出するように円環状に P 型の第二拡散層 1 2 が形成され、基板 1 0 の裏面に P 型不純物の拡散によって、第二拡散層 1 2 の内側に分布するように  $P^+$ 型の第三拡散層 1 3 が形成される。サイリスタのエミッタ層として、P 型の第二拡散層 1 2 および  $P^+$ 型の第三拡散層 1 3 の二段形成を行っている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社